

(3) Japanese Patent Application Laid-Open No. 4-192703 (1992)

“Differential Amplifier with Input MOS-transistors”

The following is an extract relevant to relevant to the present invention:

5

According to this invention, a differential amplifier with input MOS transistors includes voltage generating means connected to each of respective back gates of a differential pair formed by the input MOS transistors.

Because of inclusion of the voltage generating means connected to each of
10 the respective back gates of the differential pair, a threshold voltage of each of the MOS transistors forming the differential pair is varied, in the differential amplifier.

According to this invention, the voltage generating means is connected to each of the respective back gates of the differential pair of the differential amplifier with the input MOS transistors so that respective threshold voltages of the
15 differential pair can be varied. Hence, control which provides for reduction of an offset voltage is possible, to thereby allow the differential amplifier with the input MOS transistors to operate with high accuracy.

⑫ 公開特許公報(A) 平4-192703

⑬ Int. Cl.⁹H 03 F 3/45
3/34

識別記号

Z
A

庁内整理番号

8326-5 J
8326-5 J

⑭ 公開 平成4年(1992)7月10日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 MOS入力差動増幅回路

⑯ 特 願 平2-324202

⑰ 出 願 平2(1990)11月26日

⑱ 発 明 者 大 西 徳 靖 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

MOS入力差動増幅回路

2. 特許請求の範囲

MOS型トランジスタで構成される差動増幅回路において、差動対の基板電位の各々に電圧発生手段を設けたことを特徴とするMOS入力差動増幅回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はMOS型トランジスタを入力とする差動増幅回路に関するものである。

(従来の技術)

第3図はnチャネル型MOSトランジスタを入力差動対とする従来の差動増幅回路で、図において、(1)および(2)は入力差動対を構成するMOSトランジスタで、MOSトランジスタ(1)および(2)のソース部は共通接続され、その共通接続部分に定電流源(3)が接続され、また、差動対(1)および(2)の基板(バック

ゲート)電位はMOSトランジスタ(1)および(2)の共通接続点に接続され、MOSトランジスタ(1)および(2)のドレイン部はカレントミラー回路(6)に接続され、差動対のMOSトランジスタ(1)(2)の一方のドレインが出力OUTとなる。

このような差動増幅回路においては、各入力の設定電圧が V_+ 、 $>V_-$ の時、出力OUTは出力ダイナミックレンジの範囲で到達し得る最大の電圧となり、 V_+ 、 $<V_-$ の時、出力OUTは出力ダイナミックレンジの範囲で到達し得る最小の電圧となる。

(発明が解決しようとする課題)

従来のMOS入力差動増幅回路は以上のように構成されていたので、通常MOS入力方式の差動増幅回路は入力差動対のベアリングがバイポーラ入力方式に較べて劣るため、いわゆる入力オフセット電圧が数mVから数10mVに達してしまい、高精度な差動増幅回路が得られないという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、入力オフセット電圧の小さいMOS入力差動増幅回路を得ることを目的とする。

(課題を解決するための手段)

この発明に係るMOS入力差動増幅回路は、入力MOS差動対の基板(バックゲート)の各々に電圧発生手段を接続したものである。

(作用)

この発明におけるMOS入力差動増幅回路は、差動対の基板(バックゲート)に設けた電圧発生手段により、差動対を構成するMOSトランジスタのしきい値電圧が変動する。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図において、図中符号(1)、(2)、(3)、(6)は前記従来のものと同一のものである。(4)および(5)は差動対を構成するMOSトランジスタ(1)および(2)の基板

(3)

$$I_{D1} = \frac{1}{2} (V_{DS1} - V_{th1})^2 \quad \cdots (3)$$

$$I_{D2} = \frac{1}{2} (V_{DS2} - V_{th2})^2 \quad \cdots (4)$$

と近似的に表わされ、ここで V_{DSn} ($n=1, 2$)は差動対を構成するトランジスタ(1)および(2)のゲート-ソース間電圧であり、 $I_{D1} = I_{D2}$ とした時、差動対トランジスタ(1)(2)のゲート-ソース間電圧 V_{GSn} ($n=1, 2$)の差分に起因するオフセット電圧 V_{OS} は

$$V_{OS} = V_{GS1} - V_{GS2} = V_{th1} - V_{th2} \quad \cdots (5)$$

となり、しきい値電圧 V_{thn} ($n=1, 2$)の差分となる。従来のものでは $V_{GS1} = V_{GS2}$ のため、上記(5)式で表されるオフセット電圧 V_{OS} は、

$$V_{OS} = V_{th01} - V_{th02} \quad \cdots (6)$$

となり、オフセット成分が残ってしまう。本実施例では $V_{GS1} \neq V_{GS2}$ となるように構成するので、 V_{OS} を零に調整することが可能となる。経験的に、定数 α_1 、 α_2 、 β_1 、 β_2 はおおよそ $\frac{1}{2}$ となり、上記(1)式(2)式(5)式よりオフセット電圧 V_{OS} が零となる条件は、

$$\frac{1}{2} (\sqrt{V_{DS2}} - \sqrt{V_{DS1}}) = V_{th01} - V_{th02} \quad \cdots (7)$$

(5)

(バックゲート)に接続された電圧発生源である。

基本的な動作については前記従来のものと同一であるが、差動対のベアリングが良くない時に発生するオフセット電圧の調整について説明する。

初期状態(何も調整を施さない状態)において、MOSトランジスタ(1)および(2)のしきい値電圧を V_{th1} 、 V_{th2} とし、

$$V_{th1} = V_{th01} + \alpha_1 V_{BS1}^{\beta_1} \quad \cdots (1)$$

$$V_{th2} = V_{th02} + \alpha_2 V_{BS2}^{\beta_2} \quad \cdots (2)$$

と記述され、ここで V_{BSn} ($n=1, 2$)は基板-ソース間電圧であり、 α_n 、 β_n ($n=1, 2$)は定数であり、 V_{th0n} ($n=1, 2$)は $V_{BSn} = 0V$ ($n=1, 2$)の時のしきい値電圧である。

差動対のトランジスタ(1)および(2)のドレインに流れる電流を I_{D1} 、 I_{D2} とし、各差動対が5極管領域で動作しているとした時各ドレイン電流は、

(4)

となり、上記(7)を満たすような電圧を差動対トランジスタ(1)、(2)のバックゲートに印加してやれば良いことが分かる。

なお、上記実施例ではn-チャネル型MOSトランジスタ(1)(2)を差動対とした場合について述べたが、第2図に示すごとく、p-チャネル型MOSトランジスタ(7)(8)を差動対とした場合にも適用できることは言うまでもない。(発明の効果)

以上のようにこの発明によれば、MOS入力差動増幅回路の入力差動対のバックゲートに電圧発生手段を設けて各々可変ならしめるようにしたので、オフセット電圧を小さくできるように調整することができ、精度の高いMOS入力差動増幅回路が得られるという効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例であるMOS入力差動増幅回路の回路図、第2図はこの発明の他の実施例を示すMOS入力差動増幅回路の回路図、第3図は従来のMOS入力差動増幅回路の回路図

(6)

である。

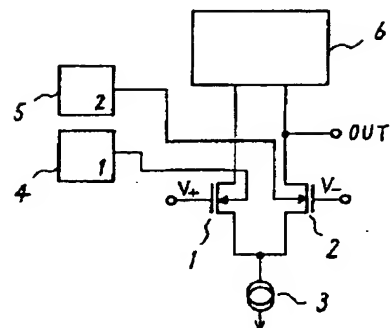
(1)(2)(7)(8)は入力差動対を構成するMOSトランジスタ、(3)は定電流源、(4)(5)は一方の電圧発生手段である。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

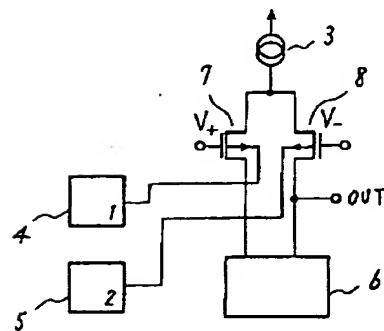
(7)

第 1 図



1, 2: MOSトランジスタ
3: 定電流源
4, 5: 電圧発生源
6: カレントミラー回路

第 2 図



7, 8: MOSトランジスタ

第 3 図

